

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5-14682

(43) 公開日 平成 5 年 (1993) 1 月 22 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F 1
H 0 4 N	1/387	8839-5 C	
G 0 3 G	15/00	3 0 2	8004-2 H
	15/01	R	7818-2 H
	15/04	1 1 6	9122-2 H
	15/22	1 0 5 B	6830-2 H

審査請求 未請求 請求項の数 6

技術表示箇所

(全 12 頁) 最終頁に続く

(21) 出願番号 特願平 3-160560

(22) 出願日 平成 3 年 (1991) 7 月 1 日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子 3 丁目 30 番 2 号

(72) 発明者 山本 光洋

東京都大田区下丸子 3 丁目 30 番 2 号 キヤノ
ン株式会社内

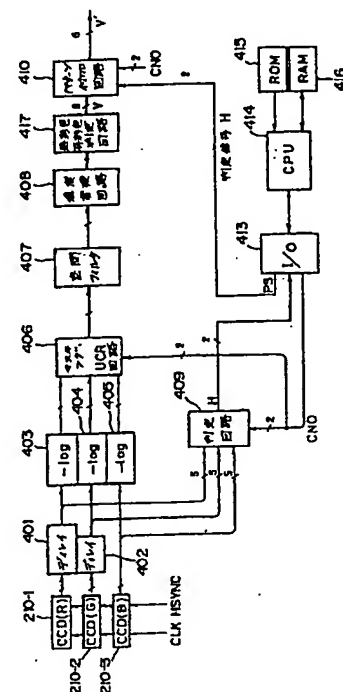
(74) 代理人 弁理士 大塚 康德 (外 1 名)

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 再生画像に特定のパターンを付加する機能を有していても、白黒の再生画像に対する画質を良好に保持することができる。

【構成】 無彩色有彩色判定回路 417 が無彩色 (白黒) 画像の画像データを入力したと判定した場合、パターン付加回路 410 は入力した無彩色の画像データにパターンを付加せずに出力し、一方、無彩色有彩色判定回路 417 が有彩色 (カラー) 画像の画像データを入力したと判定した場合、パターン付加回路 410 は入力した有彩色の画像データにパターンを付加して出力する。



Y、Bkのうちひとつの成分がプリンタ部202に送られ、計4回の原稿走査によつて、一回のプリントアウトが完成する。

【0012】イメージスキャナ部201より送られてくるM、C、Y、Bkの各画像信号は、レーザドライバ212に送られる。レーザドライバ212は、送られてきた画像信号に応じ、半導体レーザ213を変調駆動する。レーザ光は、ポリゴンミラー214、f-θレンズ215、ミラー216を介し、感光ドラム217上を走査する。218は回転現像器であり、マゼンタ現像部219、シアン現像部220、イエロー現像部221、ブラック現像部222より構成され、4つの現像部が交互に感光ドラム217に接し、感光ドラム上に形成された潜像現像をトナーで現像する。223は転写ドラムであり、用紙カセット224または225より供給される用紙をこの転写ドラム223に巻き付け、感光ドラム上に現像された像を用紙に転写する。

【0013】この様にして、M、C、Y、Bkの4色が順次転写された後に、用紙は定着ユニット226を通過して、トナーが用紙に定着された後に排紙される。

【0014】【イメージスキャナ部】図1は第1の実施例によるイメージスキャナ部201の構成を示すブロック図である。同図において、210-1、210-2、210-3はそれぞれ、レッド(R)、グリーン(G)、ブルー(B)の分光感度特性をもつCCD(固体撮像素子)センサであり、A/D変換された後にそれぞれ8ビット出力0~255の信号が出力される。

【0015】本実施例において、用いられるセンサ210-1、210-2、210-3は、一定の距離を隔てて配置されている為、デイレイ素子401および402においてその空間的ずれが補正される。

【0016】403、404、405はlog変換器であり、ルックアップテーブルROMまたはRAMにより構成され、輝度信号が濃度信号に変換される。406は公知のマスクング及びUCR(下色除去)回路であり、詳しい説明は省略するが、入力された3信号により、出力のためのマゼンタ(M)、シアン(C)、イエロー(Y)、ブラック(Bk)の各信号各読み取り動作の度に、面順次に所定のビット長、たとえば8ビットで出力される。

【0017】407は公知の空間フィルタ回路であり、出力信号の空間周波数の補正を行う。408は濃度変換手段であり、プリンタ部202のもつ濃度特性を補正するものであり、403~405のlog変換器と同様なROMまたはRAMで構成される。

【0018】一方、414は本装置の制御を司るマイクロコンピュータ(以下、CPU)であり415はCPU414を動作させるプログラムを格納したROM、416は各種プログラムを実行するワークエリアとして用いられるRAMである。413はCPU414に接続される入

出力ポート(以下、I/Oポート)であり、409は特定原稿の判定回路である。特定原稿の判定回路409は、複数の特定原稿のうち少なくともひとつを読み込み中である可能性の判定を行い、判定信号Hが多値2ビットで出力される。即ち、複数の特定原稿のうち少なくともひとつを読み込み中である可能性が最も強い場合には、H="3"を出力し、その可能性が最も少ない場合には、H="0"を出力する。また判定回路409は、後述の図3で説明する間引き回路301及び分周回路310を具備して、入力したR、G、B信号の間引き処理も行う。

【0019】CNO信号は、2ビットの面順次信号であり、4回の読み取り動作の順番を示す制御信号である。図13は第1の実施例によるCNO信号とプリント出力との関係を示す図であり、CNO信号は、CPU414よりI/Oポート413を経て発生され、マスクング/UCR回路406の動作条件を切り替える。更に、判定回路409にも前述の面順次信号のCNO信号が入力され、4回の読み取り動作のそれぞれについて、判定基準を切り替えて異なる特定原稿についての判定を行うことができる。

【0020】410はパターン不可回路であり、CPU414が指定する2ビットのパターンレベル選択信号PSに応じ、複写画像に人間の目には認識し難いパターンを付加する部分である。417は無彩色有彩色判定回路であり、無彩色(白黒)コピーと判定した場合には、パターン付加回路410でパターンの付加を禁止させる機能を有する。

【0021】【タイミングチャート】図4は第1の実施例による間引き回路の構成を示す回路図であり、図5は第1の実施例による分周回路の構成を示す回路図である。そして図7は第1の実施例における主走査方向の信号のタイミングチャートである。

【0022】VSYNC信号は副走査区間信号であり、副走査の画像出力区間を示す信号である。HSYNCは、主走査同期信号であり、主走査開始の同期をとる信号である。CLKは、画像の転送クロックであり、本実施例における諸々の画像処理の基本クロックである。

【0023】一方、CLK'はCLK信号を1/4分周したものであり、判定回路409における基本クロックとなる。SEL信号は、前述の間引き回路301で用いられるタイミング信号であり、それぞれ、図5に示される分周回路310で生成される。即ち、分周回路310は、インバータ451、2ビットカウンタ452、インバータ453、アンドゲート454より構成される。2ビットカウンタ452は、主走査同期信号であるHSYNC信号により、クリア(初期化)された後、CLK信号をカウントし、2ビットでそのカウント値を出力する(D0、D1)。その上位ビットD1がCLK4信号として出力され、下位ビットD0の反転信号と上位ビット

D1との論理積がSEL信号として出力される。

【0024】その結果、図4に示す間引き回路301において、CLK信号でデータを保持するフリップフロップ455、456、457および461、462、463、セクタ458、459、460、CLK'信号でデータを保持するフリップフロップ464、465、466より構成される間引き回路によつて、図7に示される様に、CLK信号で転送されるR（またはG、B）信号の中から、1/4の割合で間引かれ、CLK'に同期をとられたR'（またはG'、B'）信号を得ることができる。

【0025】【判定回路】図3は第1の実施例による判定回路409の構成を示すブロック図である。同図において、301は図4に示す間引き回路であり、判定回路409自身の処理回路の不可を軽減する為に、データの間引き処理を行う。302は色味マッチング・ルックアップテーブルROM（以下「色味マッチングLUT」という）であり、予め用意された複数種類（有価証券、紙幣等）の特定原稿との色味のマッチングを行う。上記色味マッチングLUT302は、予め32種類の特定原稿について、その色味分布を調べ、当該画素の色味が、それら特定原稿の色味と一致するか否かの判定結果が保持されている。

【0026】即ち、色味マッチングLUT302には、はアドレスの上記2ビットに面順次信号であるCNO信号が、下位15ビットに間引かれたRGB各色の画像信号の上位5ビットずつがそれぞれ入力される。各CNO信号の値0～3において、それぞれ当該画素の色味が8種類の特定原稿における色味と一致するか否かを8ビットのデータに対応させて同時に出力し、4回の読み取り*30

$$y_i = (\alpha / 255) y_{i-1} + \beta \cdot x_{i-1} \quad \dots (1)$$

である。ここで、 α および β は予め設定されている定数であり、これらの値の大きさによつて積分器306の諸特性が決定される。

【0031】例えば、 $\alpha=247$ 、 $\beta=8$ の場合において、図8に示される様な入力 x_{i-1} に対して、図9に示される様な出力 y_i が出力される。

【0032】ここで、701、702の点の様に周囲が殆ど“0”であるにもかかわらず“1”である様な入力や、703の点の様に周囲が殆ど“1”であるにもかかわらず“0”である様な入力は、ノイズ（雑音）であると考えられる。これを積分器306で処理し、図3のレジスタ307に704-1（R1値）、704-2（R2値）、704-3（R3値）のレベルで示す閾値をセットし、これで積分器306の出力 y_i を2値化することによつて、ノイズ（雑音）を除去することができる。

【0033】【比較器モジュール】図10は第1の実施例による比較器モジュール310の構成を示すブロック図である。同図において、801、802、803は比

* 走査において合計32種類の特定原稿についての判定が行われる。

【0027】そして303-1、303-2、…、303-8はそれぞれ同じハードウェアで構成される色味判定回路であり、積分器306、レジスタ307-1、307-2、307-3、比較器モジュール308より構成され、それぞれ特定原稿が原稿中に存在する可能性を2ビットで判定する。309は最大値回路であり、色味判定回路303-1～303-8の判定結果出力の最大値を出力する。即ち、8種類の特定原稿のうちで存在する可能性の最大のものについての判定結果を出力する。

【0028】【積分器】図6は第1の実施例による積分器306の構成を示すブロック図であり、図8及び図9は第1の実施例による積分器306の入出力を示す図である。図6において、501および505はCLK'信号の立ち上がりタイミングでデータを保持するフリップフロップである。502は乗算器であり、8ビットの2入力信号（A、B）を入力し、乗算結果として8ビットの信号（ $A \times B / 255$ ）を出力する。503も乗算器であり、1ビットの入力信号（A）及び8ビットの入力信号（B）を入力し、乗算結果として8ビットの出力信号（ $A \times B$ ）を出力する。504は加算器であり、8ビットの2入力信号（A、B）を入力し、加算結果として8ビットの信号（ $A + B$ ）を出力する。

【0029】結果として、積分器306においては、2値入力信号 x_i に対し、8ビットの出力信号 y_i は、次式（1）で表される。即ち、

【0030】

【数1】

較器、804はインバータ、805はANDゲート、806、807はORゲートをそれぞれ示している。レジスタ307-1には図8で述べたR1、レジスタ307-2には図8で述べたR2、レジスタ307-3には図8で述べたR3なる値がセットされており、 $R1 > R2 > R3$ なる関係がある。この構成により結果として、出力には判定結果が2ビットに量子化されて出力される。すなわち、 $R1 < (\text{入力})$ の場合、11が出力され、 $R2 < (\text{入力}) \leq R1$ の場合、10が出力され、 $R3 < (\text{入力}) \leq R2$ の場合、01が出力され、 $(\text{入力}) \leq R3$ の場合、00が出力される。

【パターン付加回路】図11は第1の実施例によるパターン付加回路410の構成を示すブロック図であり、図14は第1の実施例による原稿台の上面図である。図11において、901は副走査カウンタ、902は主走査カウンタ、903はルックアップテーブルROM（以下「LUT」という）、905はフリップフロップ、913はANDゲート、906、907、908、909は

レジスタ、910は4to1のセクタ、911、913はANDゲート、912は加算器をそれぞれ示している。ここで、副走査カウンタ901では、主走査同期信号HSYNCを、主走査カウンタ902では画素同期信号CLKをそれぞれ9ビット幅、即ち、512周期で繰り返しカウントする。

【0034】さらにLUT903は、付加されるべきパターンが保持されている読み出し専用のメモリであって、副走査カウンタ901、主走査カウンタ902それぞれのカウンタ値の下位6ビットずつが入力される。LUT903の出力は、1ビットのみが参照され、ANDゲート904によって主走査カウンタ901及び副走査カウンタ902の上位3ビットずつと論理積がとられ、フリップフロップ905にて、CLK信号で同期をとられ、ANDゲート913において、2ビットの面順次信号であるCNO信号“0”及び“1”の両方と論理積がとられた後に、ANDゲート911に送られる。これは、CNO=2、即ち、現在イエローでプリントされているときにのみ有効な信号である。

【0035】一方、レジスタ906、907、908、909には予めP1、P2、P3、P4なる値が保持されており、CPU414より指定されたパターンレベル選択信号PSに応じて、P1からP4までのいずれかが選択され、ANDゲート911を経て、加算器912によつて、入力信号Vにパターンが付加されV'が出力される。従つて、CNO=2、即ち現在イエローでプリントされているときに、LUT903に保持されているパターンが繰り返し読み出され、出力されるべき信号に付加される。

【0036】ここで、 $P1 < P2 < P3 < P4$ である様に設定されており、セクタ910は $s=00$ （2進数）のとき $Y=A$ 、 $s=01$ （2進数）のとき $Y=B$ 、 $s=10$ （2進数）のとき $Y=C$ 、そして、 $s=11$ （2進数）のとき $Y=D$ となる様に設定されているため、PS=00（2進数）のとき、 $V'=V+P1$ 、PS=01（2進数）のとき、 $V'=V+P2$ 、PS=10（2進数）のとき、 $V'=V+P3$ 、そして、PS=11（2進数）のとき、 $V'=V+P4$ なるように、パターンが付加される。

【0037】ここで、付加するパターンは、人間の目で識別し難い様に、イエローのトナーのみで付加されるが、これは人間の目が、イエローのトナーで描かれたパターンに対して識別能力が弱いことを利用したものである。更に、入力画像中に、特定原稿の存在する可能性に応じて、付加するパターンのレベルを変換することで、通常の複写物では、パターンが人間の目では殆ど識別できない様にし、特定原稿が存在する可能性が高くなるほど、くつきりとパターンを付加する。

【0038】以上説明したように、第1の実施例によれば、白黒コピーの場合、パターン付加回路410でパ

ーンを付加せずに画像再生を行うため、画質の低下を防ぐことができる。

【0039】<第2の実施例>さて、上述した第1の実施例では、自身の装置で読み取ったR、G、B信号に基づいてパターンの付加、非付加を制御したが、本発明はこれに限定されるものではなく、ホストコンピュータ等の外部機器から得られる画像データ（R、G、B信号）においても無彩色または有彩色を判定し、無彩色と判定した場合には、白黒コピーのため、パターン付加回路でパターンの付加を防ぐ様にしても良い。図12は第2の実施例による画像処理システムを示す構成図である。同図において、1001はホストコンピュータ等の外部機器、1003はイメージスキャナ、1004はプリンタをそれぞれ示している。1002は中継装置であつて、外部機器1001とプリンタ1004（イメージスキャナ1003）との間で中継処理を行うと同時に、第1の実施例で説明した判定回路409、無彩色有彩色判定回路417、パターン付加回路410、I/O413、CPU414、ROM415、RAM416と同様の構成を具備している。

【0040】上記システムによる動作を説明する。

【0041】中継装置1002は、外部機器1001の画像信号を受信すると、該画像信号のRGB成分の比率を調べ、その比率が1:1:1の場合、受信した画像信号が白黒画像に対応すると判断し、パターン付加回路でパターンを付加せずにプリンタ1004に送出する。

【0042】<第3の実施例>さて、前述の第1の実施例及び第2の実施例では、いずれも白黒コピーのときに限って、パターンを付加しなかったが、原稿に対して単色コピーモードあるいは2色コピーモードが指定された場合にも特定パターンを付加しないように制御しても良い。

【0043】尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。また、本発明はシステム或は装置にプログラムを供給することによつて達成される場合にも適用できることは言うまでもない。また、画像出力手段としては、上述の様なレーザービームプリンタに限らず、インクジェットプリンタ、熱転写プリンタ等を用いてもよい。また、面順次方式ではなく点順次方式の出力手段でもよい。また、入力手段としては、CCDセンサにより原稿を走査するタイプのイメージリーダに限らず、ホストコンピュータ、ビデオカメラ、スチルビデオカメラ、カラーフィルムを読み取るフィルムリーダ等を用いてもよい。

【0044】

【発明の効果】以上説明した様に、本発明によれば、再生画像に特定のパターンを付加する機能を有していても、再生画像に対する画質を良好に保持することができる。

【図面の簡単な説明】

【図1】第1の実施例によるイメージスキャナ部201の構成を示すブロック図である。

【図2】本発明の第1の実施例の複写機の構成を示す側断面図である。

【図3】第1の実施例による判定回路409の構成を示すブロック図である。

【図4】第1の実施例による間引き回路の構成を示す回路図である。

【図5】第1の実施例による分周回路の構成を示す回路図である。

【図6】第1の実施例による積分器306の構成を示すブロック図である。

【図7】図7は第1の実施例における主走査方向の信号のタイミングチャートである。

【図8】第1の実施例による積分器306の入出力を示す図である。

【図9】第1の実施例による積分器306の入出力を示す図である。

【図10】第1の実施例による比較器モジュール310の構成を示すブロック図である。

【図11】第1の実施例によるパターン付加回路410の構成を示すブロック図である。

【図12】第2の実施例による画像処理システムを示す構成図である。

【図13】第1の実施例によるCNO信号とプリント出力との関係を示す図である。

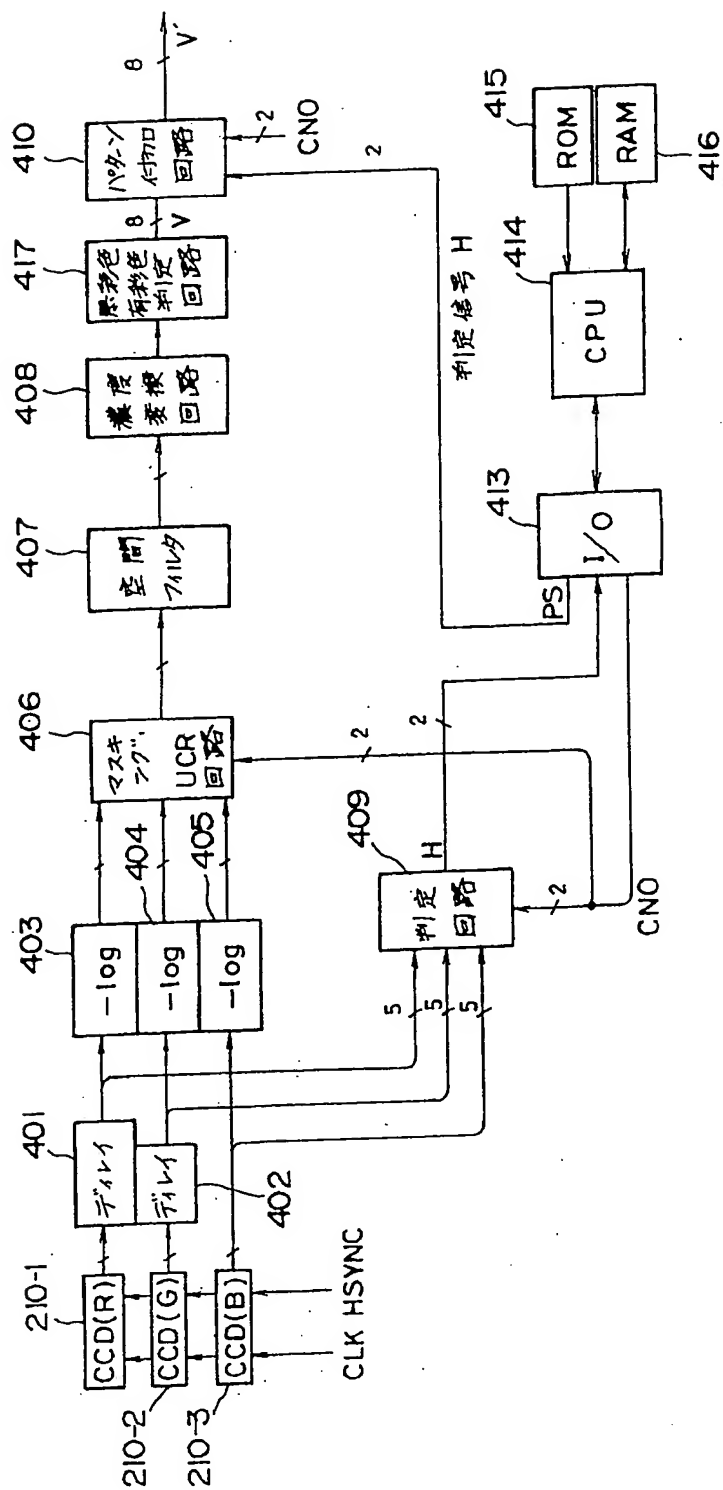
【符号の説明】

200 鏡面圧板
201 イメージスキャナ部
202 プリント部
203 プラテン
204, 801 原稿
205 ランプ
206, 207, 208 ミラー
209 レンズ
210 3ラインセンサ
211 信号処理部
212 レーザドライバ
213 半導体レーザ
214 ポリゴンミラー
215 f-θ レンズ
216 ミラー
217 感光ドラム
218 回転現像器
219 マゼンダ現像部

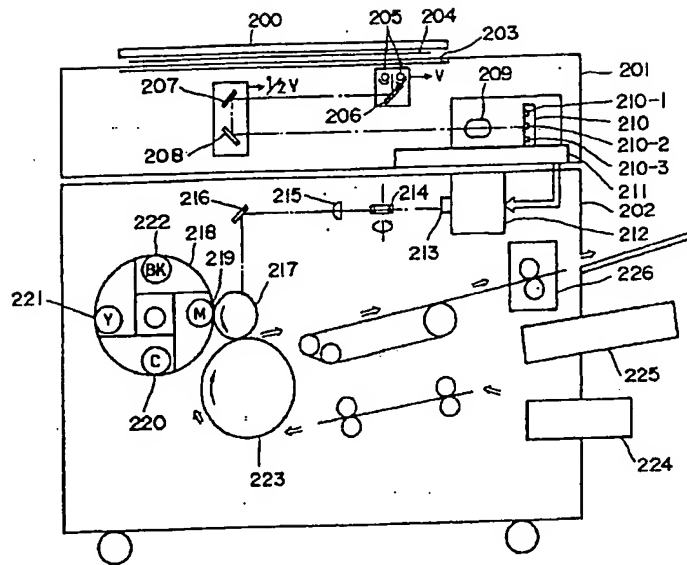
220 シアン現像部
221 イエロー現像部
222 ブラック現像部
223 転写ドラム
224, 225 用紙カセット
226 定着ユニット
210-1~210-3 CCD
301 間引き回路
302 色味マツチングLUT、
303-1~303-8 色味判定回路
307-1~307-3 レジスタ
308 比較器モジュール
309 最大値回路
310 分周回路
401, 402 デイレイ素子
403~405 log変換器
406 マスキング・UCR回路
407 空間フィルタ
408 濃度変換回路
409 判定回路
410 パターン付加回路
413 1/O
414 CPU
415 ROM
416 RAM
417 無彩色有彩色判定回路
451, 453, 804 インバータ
452 2ビットカウンタ
454, 805, 911, 913 ANDゲート
455~457, 461~466, 501, 505 フリツプフロツプ
458~460, 910 セレクタ
502, 503 乗算器
504, 912 加算器
801, 802, 803 比較器
806, 807 ORゲート
901 副走査カウンタ
902 主走査カウンタ
903 LUT
905 フリツプフロツプ
906, 907, 908, 909 レジスタ
1001 外部機器
1002 中継装置
1003 イメージスキャナ
1004 プリンタ

(7)

【図1】



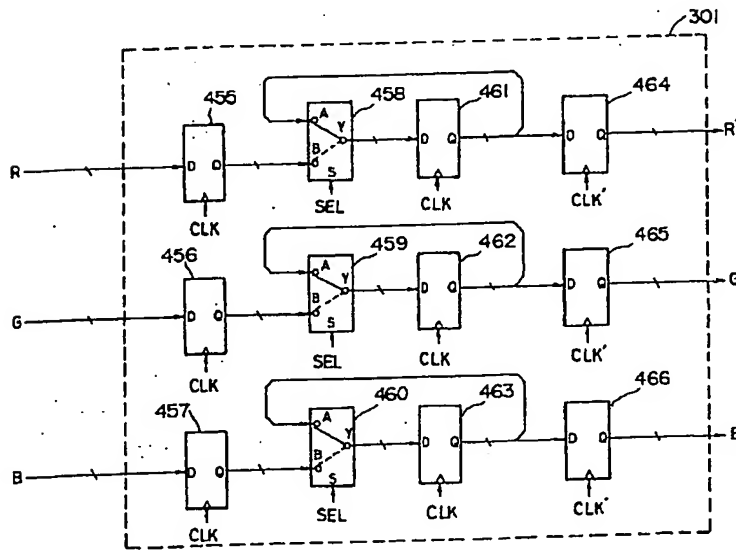
【図2】



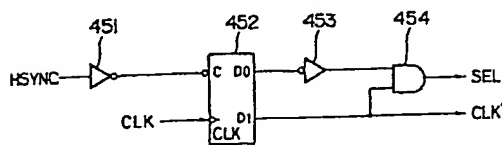
【図13】

CNO 信号	プリント出力
0	マゼンタ (M)
1	シアン (C)
2	イエロ (Y)
3	ブラック (BK)

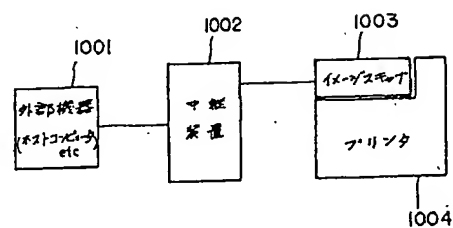
【図4】



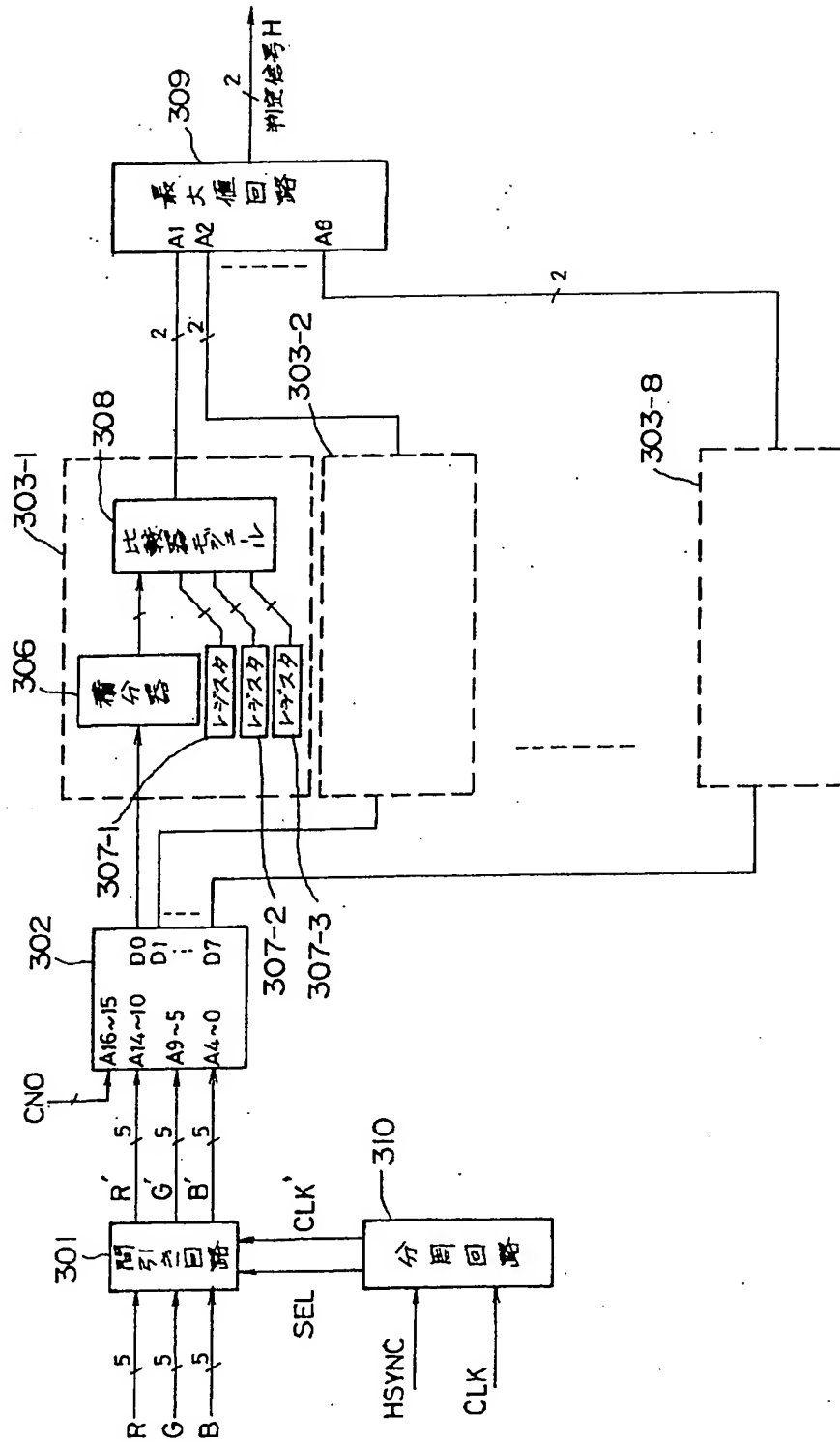
【図5】



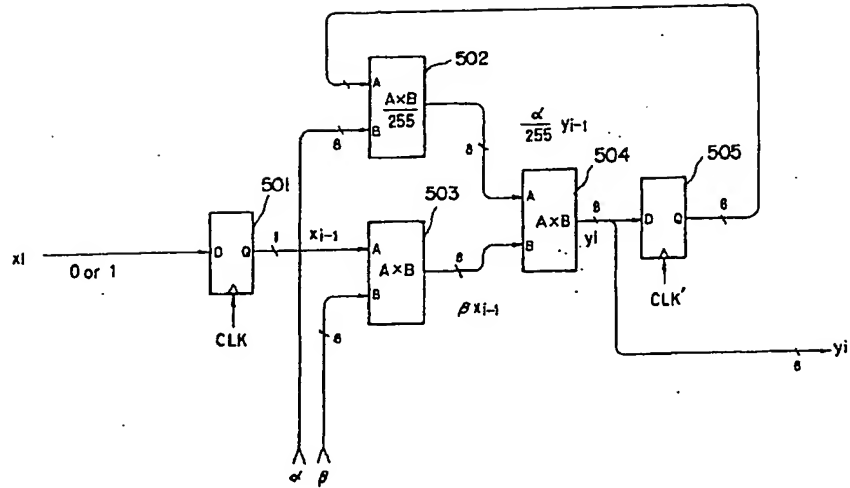
【図12】



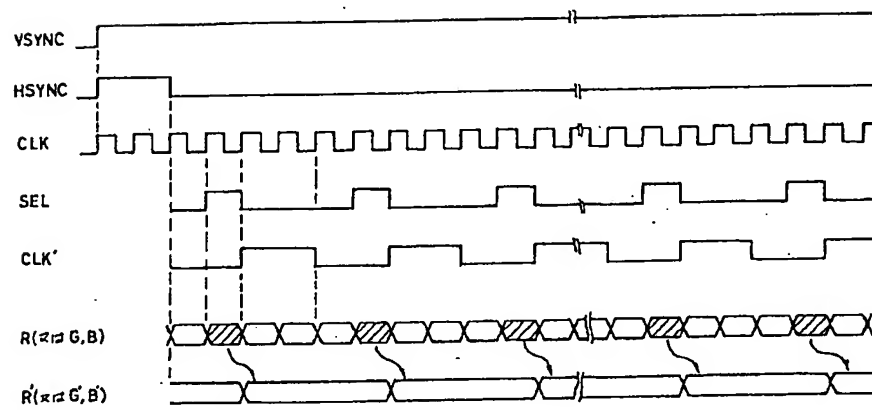
【図3】



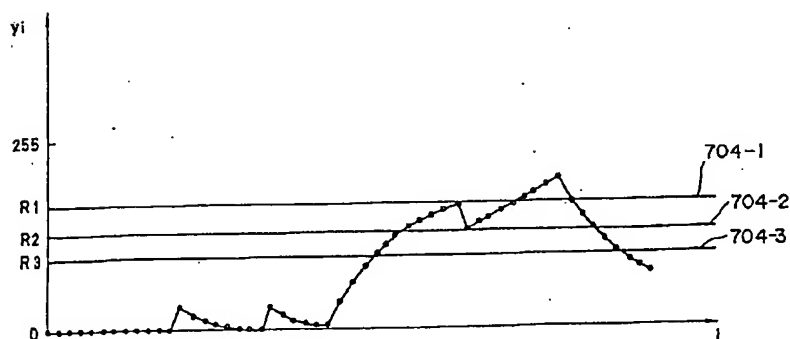
【図6】



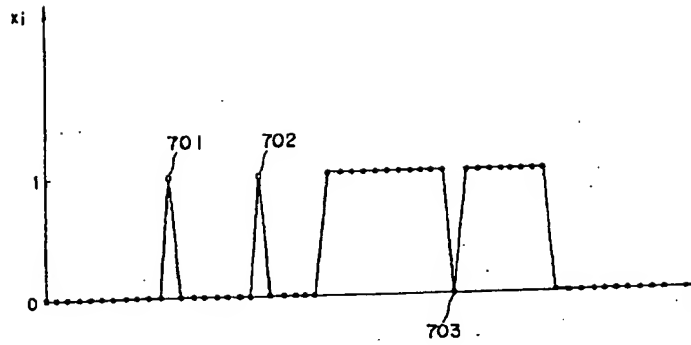
【図7】



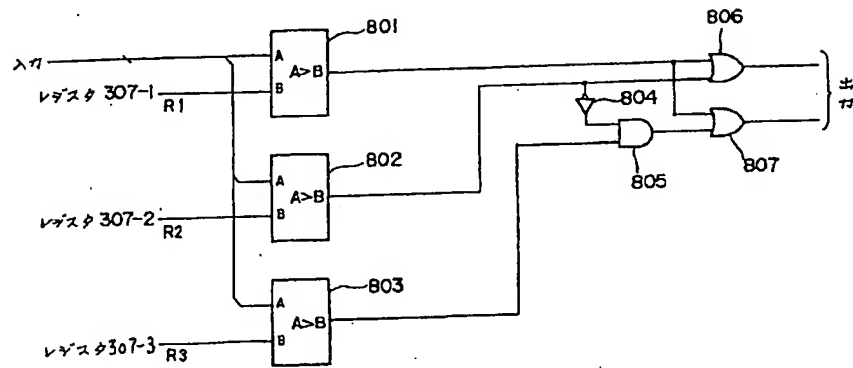
【図8】



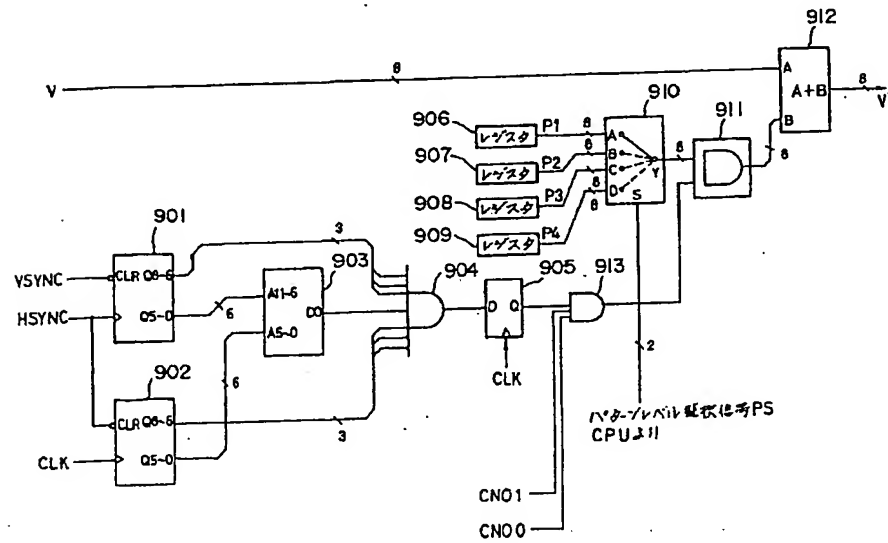
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.⁵

G 0 3 G 21/00

G 0 6 F 15/62

識別記号

庁内整理番号

F 1

技術表示箇所

6605-2H

4 1 0 Z 9287-5L